

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/004221

International filing date: 10 March 2005 (10.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-078826
Filing date: 18 March 2004 (18.03.2004)

Date of receipt at the International Bureau: 20 May 2005 (20.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 3 月 1 8 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 0 7 8 8 2 6

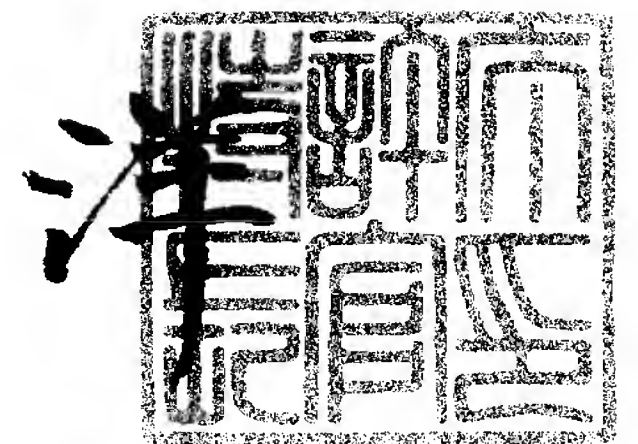
パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
J P 2 0 0 4 - 0 7 8 8 2 6
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

出 願 人
Applicant(s): 松下電器産業株式会社

2 0 0 5 年 4 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】	特許願
【整理番号】	5037650101
【提出日】	平成16年 3月18日
【あて先】	特許庁長官殿
【国際特許分類】	G06F 17/50
【発明者】	
【住所又は居所】	大阪府門真市大字門真1 0 0 6 番地
【氏名】	松下電器産業株式会社内 森 敦弘
【発明者】	
【住所又は居所】	大阪府門真市大字門真1 0 0 6 番地
【氏名】	松下電器産業株式会社内 丸井 信一
【発明者】	
【住所又は居所】	大阪府門真市大字門真1 0 0 6 番地
【氏名】	松下電器産業株式会社内 岡本 稔
【特許出願人】	
【識別番号】	000005821
【氏名又は名称】	松下電器産業株式会社
【代理人】	
【識別番号】	100105647
【弁理士】	
【氏名又は名称】	小栗 昌平
【電話番号】	03-5561-3990
【選任した代理人】	
【識別番号】	100105474
【弁理士】	
【氏名又は名称】	本多 弘徳
【電話番号】	03-5561-3990
【選任した代理人】	
【識別番号】	100108589
【弁理士】	
【氏名又は名称】	市川 利光
【電話番号】	03-5561-3990
【選任した代理人】	
【識別番号】	100115107
【弁理士】	
【氏名又は名称】	高松 猛
【電話番号】	03-5561-3990
【選任した代理人】	
【識別番号】	100090343
【弁理士】	
【氏名又は名称】	濱田 百合子
【電話番号】	03-5561-3990
【手数料の表示】	
【予納台帳番号】	092740
【納付金額】	21,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1

【書類名】 特許請求の範囲

【請求項 1】

プログラム可能な複数の論理エレメントを配置してなるプログラマブル・ロジック・デバイスであって、

前記複数の論理エレメントが

所定の論理を有する第 1 の論理エレメントと、

前記第 1 の論理エレメントと同論理で、かつ動作速度の設計上限が前記第 1 の論理エレメントに比較して低速である第 2 の論理エレメントと

を含むことを特徴とするプログラマブル・ロジック・デバイス。

【請求項 2】

請求項 1 に記載のプログラマブル・ロジック・デバイスにおいて、

前記第 2 の論理エレメントに、前記第 1 の論理エレメントに用いるトランジスタに比較して閾値電圧の高いトランジスタを用いること

を特徴とするプログラマブル・ロジック・デバイス。

【請求項 3】

請求項 1 に記載のプログラマブル・ロジック・デバイスにおいて、

前記第 2 の論理エレメントは、前記第 1 の論理エレメントと異なるレイアウト構造を持つこと

を特徴とするプログラマブル・ロジック・デバイス。

【請求項 4】

請求項 1 から 3 いずれかに記載のプログラマブル・ロジック・デバイスにおいて、

前記第 1 の論理エレメントは、第 1 のクロック周波数のクロック信号で作動し、

前記第 2 の論理エレメントは、前記第 1 のクロック周波数と比して低い第 2 のクロック周波数のクロック信号で作動すること、

を特徴とするプログラマブル・ロジック・デバイス。

【請求項 5】

請求項 1 から 4 いずれかに記載のプログラマブル・ロジック・デバイスにおいて、

前記第 1 の論理エレメントを一箇所に固めて配置すること

を特徴とするプログラマブル・ロジック・デバイス。

【請求項 6】

請求項 5 に記載のプログラマブル・ロジック・デバイスにおいて、

前記第 1 の論理エレメントを中央部に配置し、

前記第 2 の論理エレメントを、前記第 1 の論理エレメントを配置した領域と比して周辺部に配置すること

を特徴とするプログラマブル・ロジック・デバイス。

【請求項 7】

請求項 5 に記載のプログラマブル・ロジック・デバイスにおいて、

前記第 2 の論理エレメントを中央部に配置し、

前記第 1 の論理エレメントを、前記第 2 の論理エレメントを配置した領域と比して周辺部に配置すること

を特徴とするプログラマブル・ロジック・デバイス。

【請求項 8】

プログラム可能な複数の論理エレメントを配置してなるプログラマブル・ロジック・デバイスを設計する方法であって、

所定の論理を有する第 1 の論理エレメントを設計する工程と、

前記第 1 の論理エレメントと同論理で、かつ動作速度の設計上限が前記第 1 の論理エレメントに比較して低速である第 2 の論理エレメントを設計する工程と

を備えることを特徴とするプログラマブル・ロジック・デバイスの設計方法。

【書類名】 明細書

【発明の名称】 プログラマブル・ロジック・デバイスおよびその設計方法

【技術分野】

【0001】

本発明は、プログラム可能な論理エレメントを行・列の方向に複数配置するプログラマブル・ロジック・デバイスおよびその設計方法に関するものである。

【背景技術】

【0002】

近年、情報処理端末での情報処理に対するニーズは多様化し、通信方式や信号処理の規格はめまぐるしく変化しているため、製品ライフサイクルはますます短くなる傾向にある。この製品ライフサイクルの短縮化に対応するためには、プログラムによって機能の変更が可能なデバイスが有用である。これらのデバイスの例として、DSP（Digital Signal Processor）やマイクロプロセッサが存在する。DSPやマイクロプロセッサにおいては、命令プログラムを変更することによって、命令レベルでのプログラムの自由度がある。しかしながら、特定用途に限定したASIC（Application Specified IC）に比較すると処理性能で劣っている。

【0003】

そこで、ASICの処理性能とマイクロプロセッサのプログラマビリティを併せ持つデバイスとして、プログラムによって柔軟に回路構成を変更できるプログラマブル・ロジック・デバイスが注目を集めている。プログラマブル・ロジック・デバイスにはいくつかの種類があるが、代表的な例としてはFPGA（Field Programmable Gate Array）を挙げることができる。しかし、これらのデバイスはプログラムで回路構成を変更できる利点がある反面、ASICに比較すると面積の増大、また消費電力の増大などの課題がある。

【0004】

一方、プログラマブル・ロジック・デバイスの小面積化の方法として、例えば、以下のようなものがある（特許文献1参照）。特許文献1においては、プログラマブル・ロジック・デバイス上の論理エレメント間を接続する配線リソースを、“ノーマル速度”と呼ばれる通信速度を持つ第1のリソースと、第1のリソースに比較して通信速度が高速な第2のリソースとの二つの配線リソースによって構成する。これら二つのリソースの割合は、第1のリソースが配線リソースの大部分を占め、第2のリソースは少数部分を占める。これにより、高速の通信を要求する一部の配線のみ第2のリソースを使用し、通常の通信には第1のリソースを使用することで、すべての配線を高速設計とする必要がなくなり、高速設計に起因する面積の増大を抑えることができる。

【特許文献1】 特表2002-538634号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、前記特許文献1のプログラマブル・ロジック・デバイスは、論理エレメント間の配線の小面積化と低消費電力化に関しての効果はあるものの、論理エレメントはデバイス内ですべて同一構成をとっている。すなわち、論理エレメント自体、すなわち内部構造に関しては何ら改善の考慮がなされていない。したがって、このプログラマブル・ロジック・デバイスを用いてあるアプリケーションを実現することを考慮すると、論理エレメントは、たとえこのアプリケーションが高速での処理が必要な処理ブロックと低速での処理ブロックの二つの処理ブロックに分かれていても、論理エレメントを設計する際には、もっとも高速の要求される回路ブロックに対応できるように設計する必要がある。

【0006】

結果として低速で動作する回路ブロックに対しても、高速設計された論理エレメントを使用することとなるため、低消費電力を実現することができない。また、全ての論理エレメントが高速設計されているため、面積にも無駄が生じている。このようにプログラマブ

ル・ロジック・デバイスの小面積化と低消費電力化に関しては、いまだ改善の余地がある。

【 0 0 0 7 】

特に消費電力に関しては、さらに以下のような課題がある。

半導体デバイスの消費電力Pは一般的に下記の式で表わされる。

$$P = \alpha \cdot C \cdot V^2 \cdot f + I_{\text{leak}} \cdot V \quad (\text{式 1})$$

(α : 比例係数、C : ゲート容量・配線容量の総和、f : クロック周波数、 I_{leak} : リーク電流の総和)

【 0 0 0 8 】

前記の式 1 の第 1 項は、デバイスの動作時の電力消費であり、前記の式 1 の第 2 項は、デバイスのオフ時の電流であるリーク電流による電力消費である。近年、半導体プロセスの微細化に伴って、リーク電流による電力消費が増大しており、動作時の電力消費に比較して無視できないものとなっている。前記のように、消費電力の削減の観点では、リーク電流の削減も重要なファクターであるが、特許文献 1 に記載のプログラマブル・ロジック・デバイスでは、前記の式 1 における第 1 項の C に関する動作時の電力消費のみを考慮するにとどまっており、リーク電流による電力消費は考慮されていない。

【 0 0 0 9 】

本発明は、前記の課題を解決するもので、小面積かつ低消費電力で実現することを目的とする。

【課題を解決するための手段】

【 0 0 1 0 】

前記課題を解決するために、第 1 の発明は、プログラム可能な複数の論理エレメントを配置してなるプログラマブル・ロジック・デバイスであって、前記複数の論理エレメントが所定の論理を有する第 1 の論理エレメントと、前記第 1 の論理エレメントと同論理で、かつ動作速度の設計上限が前記第 1 の論理エレメントに比較して低速である第 2 の論理エレメントとを含むことを特徴とする。

【 0 0 1 1 】

第 2 の発明は、さらに、前記第 2 の論理エレメントに、前記第 1 の論理エレメントに用いるトランジスタに比較して閾値電圧の高いトランジスタを用いることを特徴とする。

【 0 0 1 2 】

第 3 の発明は、さらに、前記第 2 の論理エレメントは、前記第 1 の論理エレメントと異なるレイアウト構造を持つことを特徴とする。

【 0 0 1 3 】

第 4 の発明は、さらに、前記第 1 の論理エレメントは第 1 のクロック周波数のクロック信号で作動し、前記第 2 の論理エレメントは前記第 1 のクロック周波数と比して低い第 2 のクロック周波数のクロック信号で作動することを特徴とする。

【 0 0 1 4 】

第 5 の発明は、さらに、前記第 1 の論理エレメントを一箇所に固めて配置することを特徴とする。

【 0 0 1 5 】

第 6 の発明は、さらに、前記第 1 の論理エレメントを中央部に配置し、前記第 2 の論理エレメントを、前記第 1 の論理エレメントを配置した領域と比して周辺部に配置することを特徴とする。

【 0 0 1 6 】

第 7 の発明は、さらに、前記第 2 の論理エレメントを中央部に配置し、前記第 1 の論理エレメントを、前記第 2 の論理エレメントを配置した領域と比して周辺部に配置することを特徴とする。

【 0 0 1 7 】

第 8 の発明は、プログラム可能な複数の論理エレメントを配置してなるプログラマブル・ロジック・デバイスを設計する方法であって、所定の論理を有する第 1 の論理エレメン

トを設計する工程と、前記第１の論理エレメントと同論理で、かつ動作速度の設計上限が前記第１の論理エレメントに比較して低速である第２の論理エレメントを設計する工程とを備えることを特徴とする。

【発明の効果】

【００１８】

第１の発明によれば、実現するアプリケーションのうち、高速を要求する回路部分を第１の論理エレメントを使用して実現し、低速で動作する回路部分を第２の論理エレメントを使用して実現することができるため、すべての回路を高速対応の第１の論理エレメントを使用して実現した場合に比較して、小面積かつ低消費電力で実現することができる。

【００１９】

第２の発明によれば、実現するアプリケーションのうち、低速で動作する回路部分を第２の論理エレメントのトランジスタの閾値電圧をあげているので、リーク電流を小さくすることができ、さらなる低消費電力を実現することができる。

【００２０】

第３の発明によれば、実現するアプリケーションのうち、高速を要求する回路部分を第１の論理エレメントを使用して実現し、低速で動作する回路部分を第２の論理エレメントを使用して実現することができるため、すべての回路を、第１の論理エレメントを使用して実現した場合に比較して、小面積かつ低消費電力で実現することができる。

【００２１】

第４の発明によれば、低速動作に設計された論理エレメントには低速のクロック周波数のクロック信号を供給しているので、高速のクロック周波数による電力消費を抑えることができ、さらなる低消費電力が実現できる。

【００２２】

第５の発明によれば、実現するアプリケーションのうち、第１の論理エレメントを用いて高速を要求する回路部分を実現する場合、高速での通信が要求される第１の論理エレメント間の配線を効率的に配置することができ、プログラマブル・ロジック・デバイスへのマッピングの際に小面積化を図ることができる。

【００２３】

第６の発明によれば、高速の処理性能を要求するアプリケーションに対して、高速での動作が要求される回路を中央部にまとめて配置することによって、論理エレメント間の配線を効率的に実現することができるため、小面積でアプリケーションを実現することができる。特に、低速かつ並列に処理を行う回路部分を高速で制御する必要があるアプリケーションに対して、その高速な制御を行う回路部分をまとめて中央部に配置することにより、効率よくマッピングすることが可能である。

【００２４】

第７の発明によれば、高速の外部入出力を要求するアプリケーションにおいて、高速な信号処理の要求される回路部分を外部入出力に近接して配置することによって、論理エレメント間の配線を効率的に実現することができるため、小面積でアプリケーションを実現することができる。特に、外部からの入出力データ量が大きく高速での処理が必要であり、かつ、処理の並列性が高く、各々の処理が独立しているようなアプリケーションを効率よくマッピングすることが可能である。

【００２５】

第８の発明によれば、第１の発明の小面積かつ低消費電力のプログラマブル・ロジック・デバイスを製造することができる。

【発明を実施するための最良の形態】

【００２６】

以下、本発明の実施の形態について図面を参照しながら説明する。

（第１の実施の形態）

図１は第１の実施の形態のプログラマブル・ロジック・デバイスを示す構成図である。

図１において、プログラマブル・ロジック・デバイス１０１は、第１の論理エレメント

1 0 2を複数配置して構成した領域1 (1 0 3)と、第1の論理エレメント1 0 2に比較して、論理構造と機能は同じであるが、回路を構成するトランジスタとして閾値電圧の高いトランジスタを用いて構成した第2の論理エレメント1 0 4を複数配置して構成した領域2 (1 0 5)と、各第1の論理エレメント1 0 2の間または各第2の論理エレメント1 0 4の間に水平方向と垂直方向に配置され、第1の論理エレメント1 0 2どうしまたは第2の論理エレメント1 0 4どうしを相互に接続する配線1 0 6と、二つの異なる周波数のクロックを出力し、図中に表記していないが、周波数の高い方のクロックを第1の領域1 0 3の論理エレメント1 0 2に供給し、周波数の低い方のクロックを第2の領域1 0 5の論理エレメント1 0 4に供給するクロック生成ブロック1 0 7と、チップの外部との通信を行う外部I/Oブロック1 0 8とを備える。

【0 0 2 7】

図2は図1のプログラマブル・ロジック・デバイスに搭載する第1の論理エレメント1 0 2と第2の論理エレメント1 0 4の内部構造である。論理エレメント1 0 2、1 0 4は、隣り合うものどうしを相互に接続する配線1 0 6を介して回路構成の情報を格納するコンフィギュレーションメモリ2 0 2と、コンフィギュレーションメモリ2 0 2に格納されているプログラムによって複数の種類の演算が可能な、算術論理演算回路や乗算器などからなる演算ブロック2 0 3と、コンフィギュレーションメモリ2 0 2に格納されているプログラムによって、演算ブロック2 0 3の演算結果を一時保持しておくことが可能な複数のレジスタ2 0 4と、コンフィギュレーションメモリ2 0 2に格納されているプログラムによって演算ブロック2 0 3の入力やレジスタ2 0 4の出力を、論理エレメント1 0 2どうし、または論理エレメント1 0 4どうしを相互に接続する配線1 0 6へと接続することが可能なスイッチボックス2 0 5とからなる。

【0 0 2 8】

図2の構成を持つ論理エレメント1 0 2、1 0 4において、図1の第1の論理エレメント1 0 2と第2の論理エレメント1 0 4を比較すると、第2の論理エレメント1 0 4は閾値電圧の高いトランジスタを用いているため、第1の論理エレメント1 0 2に比較して演算ブロックの動作速度が低速となる。しかしながら、第2の論理エレメント1 0 4は、トランジスタの閾値電圧が高いために、トランジスタがオフ時の電流であるリーク電流が小さく、第1の論理エレメント1 0 2に比較して低消費電力となっている。

【0 0 2 9】

以上のように構成された本実施の形態について、以下、その動作について説明する。図1に記載のプログラマブル・ロジック・デバイスを用いて実現するアプリケーションの例として、CDMA (C o d e D i v i s i o n M u l t i p l e A c c e s s) 通信システムのデジタルベースバンド処理を想定する。CDMA通信システムには、同期部における相関ピーク検出処理、同期検波部におけるフィンガー処理、フィンガー部を制御するセルサーチ処理、チャネルコーデック処理などがある。

【0 0 3 0】

このアプリケーションを図1に記載のプログラマブル・ロジック・デバイスを用いて実現する場合、相関ピーク検出処理やフィンガー処理は入力データに対して複数の並列処理を実施する処理であるため、処理を分散し並列化することができる。したがって、動作周波数を低くすることができるため、プログラマブル・ロジック・デバイスの領域2を割り当てることが可能である。

【0 0 3 1】

一方、セルサーチ処理は、フィンガー部でのデータ処理に最適なパラメータの抽出の必要があるため、比較や分岐の処理が多段になっていること、またチャネルコーデック処理に関しては、入力された信号を逐次処理する必要があることから、並列性を高めることが困難であり、高い動作周波数とする必要がある。したがって、これらの処理はプログラマブル・ロジック・デバイスの領域1を用いて実現する必要がある。

【0 0 3 2】

本発明のプログラマブル・ロジック・デバイスを参考文献1に記載のプログラマブル・

ロジック・デバイスと比較すると、相関ピーク検出処理やフィンガー処理に使用する第2の論理エレメント104のトランジスタの閾値電圧が高いため、リーク電流を削減することが可能で、全体の消費電力を削減することができる。

【0033】

以上のように、本実施の形態によれば、あるアプリケーションを本プログラマブル・ロジック・デバイスを用いて実現することによって、デバイス内の論理エレメントがすべて同じ閾値電圧のトランジスタを用いた従来のプログラマブル・ロジック・デバイスを用いて実現する場合に比べ、低消費電力で実現することが可能である。

【0034】

(第2の実施の形態)

図3は第2の実施の形態のプログラマブル・ロジック・デバイスを示す構成図である。

図3において、プログラマブル・ロジック・デバイス301は、第1の論理エレメント302を複数配置して構成した領域1(303)と、第1の論理エレメント302と比較して、論理構造と機能はまったく同じであるが、回路を構成するトランジスタとしてゲート幅Wの小さいトランジスタを用いて構成した第2の論理エレメント304を複数配置して構成した領域2(305)と、各第1の論理エレメント302の間または各第2の論理エレメント304の間に水平方向と垂直方向に配置され、第1の論理エレメント302どうしまたは第2の論理エレメント304どうしを相互に接続する配線306と、二つの異なる周波数のクロックを出力し、図中に表記していないが、周波数の高い方のクロックを第1の領域303の論理エレメント302に供給し、周波数の低い方のクロックを第2の領域305の論理エレメント304に供給するクロック生成ブロック307と、チップの外部との通信を行う外部IOブロック308とを備える。

【0035】

図3のプログラマブル・ロジック・デバイスに搭載する第1の論理エレメント302と第2の論理エレメント304の論理構造と機能は、第1の実施の形態の論理エレメント102、104と同じである。

【0036】

図3の第1の論理エレメント302と第2の論理エレメント304を比較すると、第2の論理エレメント304はゲート幅Wの小さなトランジスタを用いており、トランジスタの電流供給能力が低いため、第1の論理エレメント302と比較して演算ブロックの動作速度が低速となる。

【0037】

しかしながら、第2の論理エレメント304は、トランジスタのゲート幅Wが小さいために、ゲートに寄生する容量が小さく、入力部の配線負荷が小さい。したがって、第2の論理エレメント304は、式1の容量Cを小さくすることができ、第1の論理エレメント302と比較して動作時の消費電力を少なくすることができる。また、第2の論理エレメント304は、トランジスタのゲート幅Wが小さいために、第1の論理エレメント302と比較して小面積である。

【0038】

以上のように構成された本実施の形態について、以下、その動作について説明する。図1に記載のプログラマブル・ロジック・デバイスを用いて実現するアプリケーションの例として、第1の実施の形態と同様に、CDMA通信システムのデジタルベースバンド処理を想定する。相関ピーク検出処理やフィンガー処理は、動作周波数を低くすることができるため、プログラマブル・ロジック・デバイスの領域2を用いて実現することが可能である。一方、セルサーチ処理やチャネルコーデック処理に関しては、高い動作周波数とする必要があるため、プログラマブル・ロジック・デバイスの領域1を用いて実現する必要がある。

【0039】

本発明のプログラマブル・ロジック・デバイスを参考文献1に記載のプログラマブル・ロジック・デバイスと比較すると、相関ピーク検出処理やフィンガー処理に使用する第2

の論理エレメント 3 0 4 のトランジスタのゲート幅 W が小さいため、ゲート容量が小さく、動作時の消費電力が少なくなる。また、相関ピーク検出処理やフィンガー処理に使用する第 2 の論理エレメント 3 0 4 のトランジスタのゲート幅 W が小さいため、小面積となる。

【 0 0 4 0 】

以上のように、本実施の形態によれば、あるアプリケーションを本プログラマブル・ロジック・デバイスを用いて実現することによって、デバイス内の論理エレメントがすべて同じゲート幅 W を持つトランジスタを用いた従来のプログラマブル・ロジック・デバイスを用いて実現する場合に比べ、低消費電力かつ小面積で実現することが可能である。

【 0 0 4 1 】

前記第 1、第 2 の実施の形態では、高速で動作する領域 1 をプログラマブル・ロジック・デバイスの中央部に配置した。これは、領域 1 にマッピングされた処理が領域 2 にマッピングされた処理を制御したり、領域 2 の処理に必要なパラメータを出力したりする場合に有効である。これは、領域 1 から領域 2 へ接続する配線が短距離となるためである。すなわち、前述の C D M A 通信システムの例を用いると、領域 1 にマッピングされているセルサーチ処理部で算出した最適なパラメータを領域 2 にマッピングされているフィンガー処理部へ伝送する際、フィンガー処理部への接続を短距離で実現できるためである。

【 0 0 4 2 】

このように、高速で動作する領域 1 をプログラマブル・ロジック・デバイスの中央部に配置することは、高速での動作が必要な回路部分から、低速での動作を行う回路部分に対して、高速での制御を必要とするアプリケーションに対して好都合である。

【 0 0 4 3 】

(第 3 の実施の形態)

図 4 は第 3 の実施の形態のプログラマブル・ロジック・デバイスを示す構成図である。

図 4 において、プログラマブル・ロジック・デバイス 4 0 1 は、第 1 の論理エレメントを複数配置して構成した領域 1 (4 0 2) と、第 1 の論理エレメントに比較して、論理構造と機能はまったく同じであるが、動作速度の設計上限が低速である第 2 の論理エレメントを複数配置して構成した領域 2 (4 0 3) と、二つの異なる周波数のクロックを出力し、図中に表記していないが、周波数の高い方のクロックを第 1 の領域 4 0 2 の論理エレメント供給し、周波数の低い方のクロックを第 2 の領域 4 0 3 の第 2 の論理エレメントに供給するクロック生成ブロック 4 0 4 を備える。

【 0 0 4 4 】

図 4 では、領域 1 (4 0 2) はプログラマブル・ロジック・デバイス 4 0 1 の周辺部に、また領域 2 (4 0 3) はプログラマブル・ロジック・デバイス 4 0 1 の中央部に配置する構成を持つ。

【 0 0 4 5 】

図 4 のプログラマブル・ロジック・デバイス 4 0 1 を用いて実現するアプリケーションとして、動画圧縮方式である M P E G のエンコード処理を想定する。

M P E G のエンコード処理は、動きベクトル検出、離散コサイン変換、量子化などの処理がある。この中でもっとも高速化かつ処理量の大きな処理ブロックは、動きベクトル算出である。

【 0 0 4 6 】

ここで、動きベクトル検出について詳細に検討すると、この処理はあるマクロブロックに近接する複数のマクロブロックとの相関をとる演算で、外部から多量のマクロブロックデータの入力が必要とする。一方、この演算は、マクロブロックとの差分の絶対値の合計を算出する処理 (S A D 演算 : S u m o f A b s o l u t e D i f f e r e n c e) であり、処理の並列性が高く、かつ各々の S A D 演算が独立している。

【 0 0 4 7 】

したがって、図 4 のプログラマブル・ロジック・デバイス 4 0 1 の領域 1 (4 0 2) に動きベクトル検出処理をマッピングし、プログラマブル・ロジック・デバイス 4 0 1 の領

域 2（4 0 3）に離散コサイン変換、量子化の処理をマッピングした場合、領域 1（4 0 2）が外部入出力に近接して配置されているため、動きベクトル検出処理に必要なデータを高速で入力することが可能である。また、動きベクトル検出処理は各々の処理が独立しているため、領域 1（4 0 2）内部の論理エレメント間を接続する長配線は少ない。したがって、領域 1（4 0 2）に動きベクトル検出処理を効率よくマッピングすることができる。

【0 0 4 8】

以上のように、本実施の形態によれば、外部からの入出力データ量が大きく高速での処理が必要であり、かつ、処理の並列性が高く、各々の処理が独立しているようなアプリケーションを効率よく実現することが可能である。

【産業上の利用可能性】

【0 0 4 9】

本発明のプログラマブル・ロジック・デバイスは、実現するアプリケーションのうち、高速を要求する回路部分を第 1 の論理エレメントを使用して実現し、低速で動作する回路部分を第 2 の論理エレメントを使用して実現することができるため、すべての回路を高速対応の第 1 の論理エレメントを使用して実現した場合に比較して、小面積かつ低消費電力で実現することができるという効果を有し、プログラム可能な論理エレメントを行・列の方向に複数配置するプログラマブル・ロジック・デバイス等として有用である。

【図面の簡単な説明】

【0 0 5 0】

【図 1】 本発明の第 1 の実施の形態のプログラマブル・ロジック・デバイスを示す構成図である。

【図 2】 図 1 に示したプログラマブル・ロジック・デバイスに搭載する論理エレメントのブロック図である。

【図 3】 本発明の第 2 の実施の形態のプログラマブル・ロジック・デバイスを示す構成図である。

【図 4】 本発明の第 3 の実施の形態のプログラマブル・ロジック・デバイスを示す構成図である。

【符号の説明】

【0 0 5 1】

1 0 1、3 0 1、4 0 1 プログラマブル・ロジック・デバイス

1 0 2、3 0 2 第 1 の論理エレメント

1 0 3、3 0 3、4 0 2 領域 1

1 0 4、3 0 4 第 2 の論理エレメント

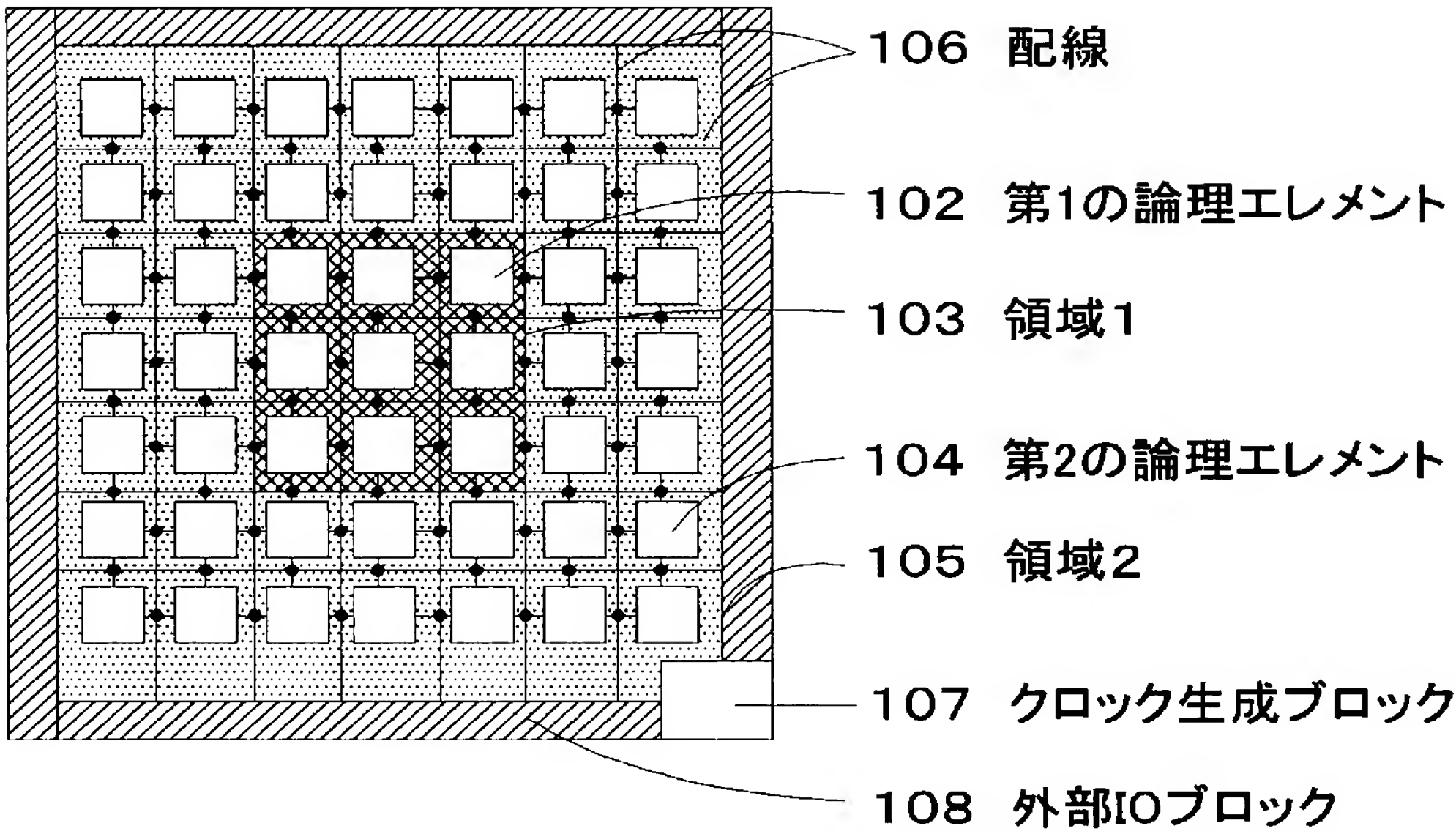
1 0 5、3 0 5、4 0 3 領域 2

1 0 6、3 0 6 配線

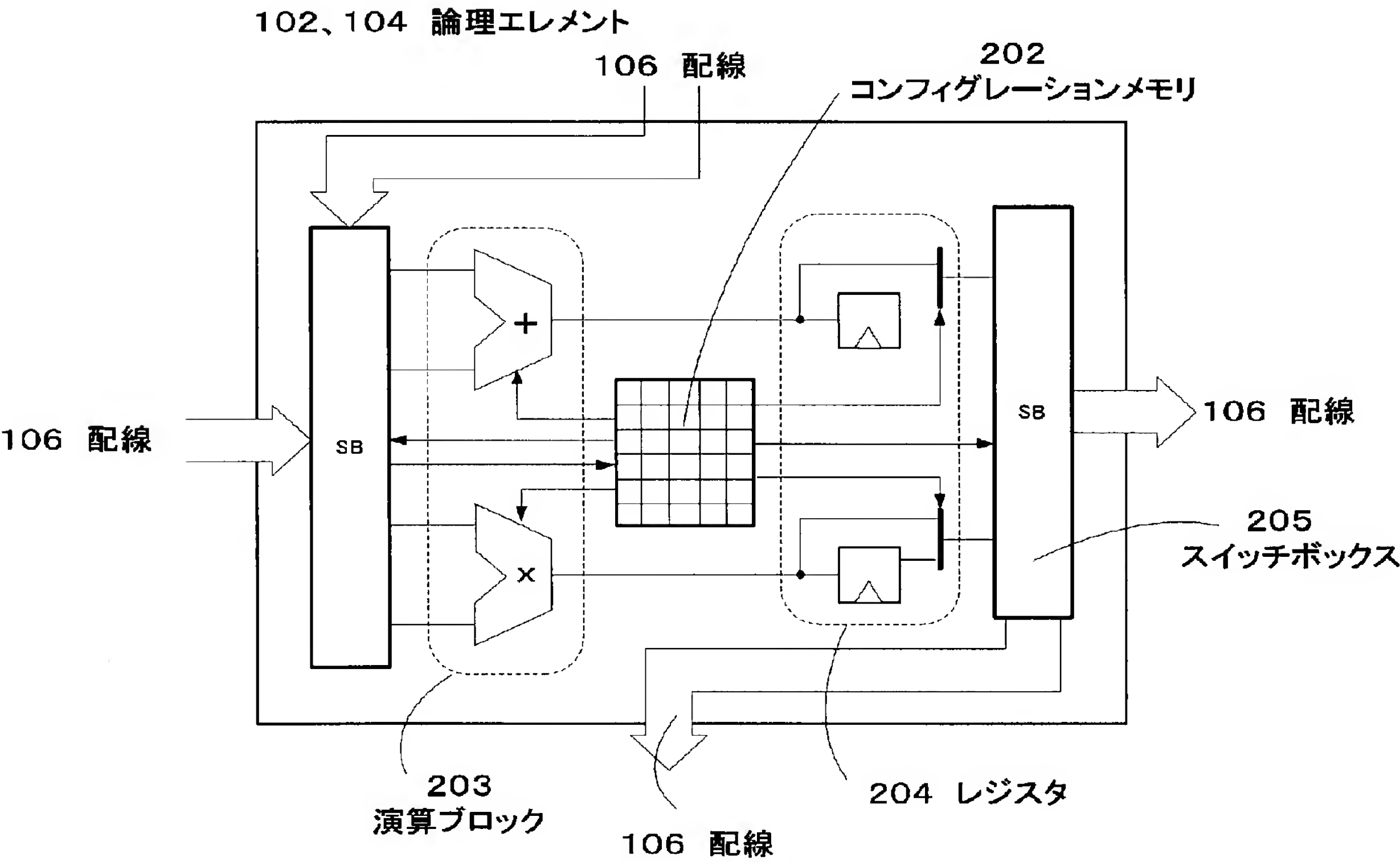
1 0 7、3 0 7、4 0 4 クロック生成ブロック

1 0 8、3 0 8 外部 I O ブロック

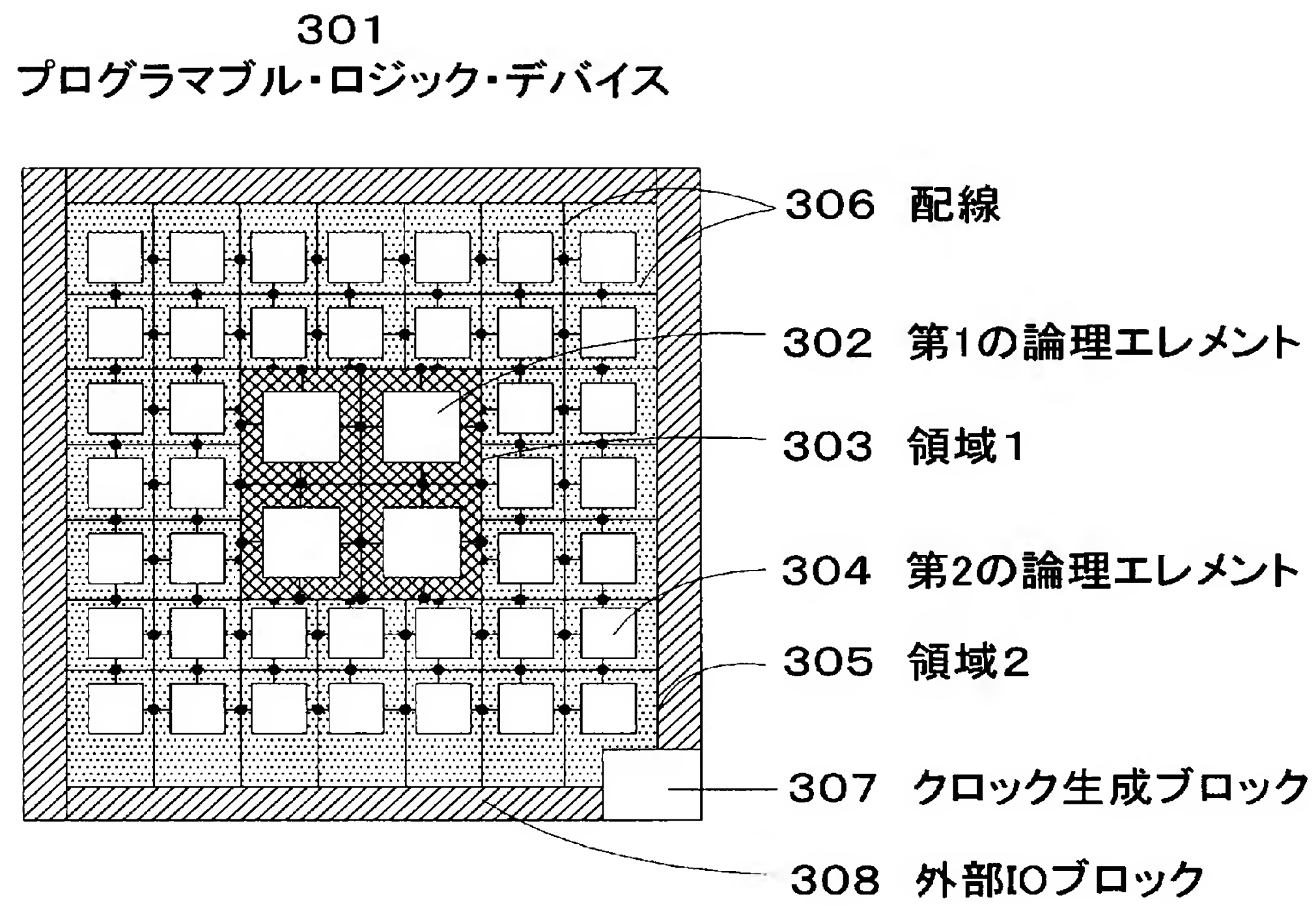
101
プログラマブル・ロジック・デバイス



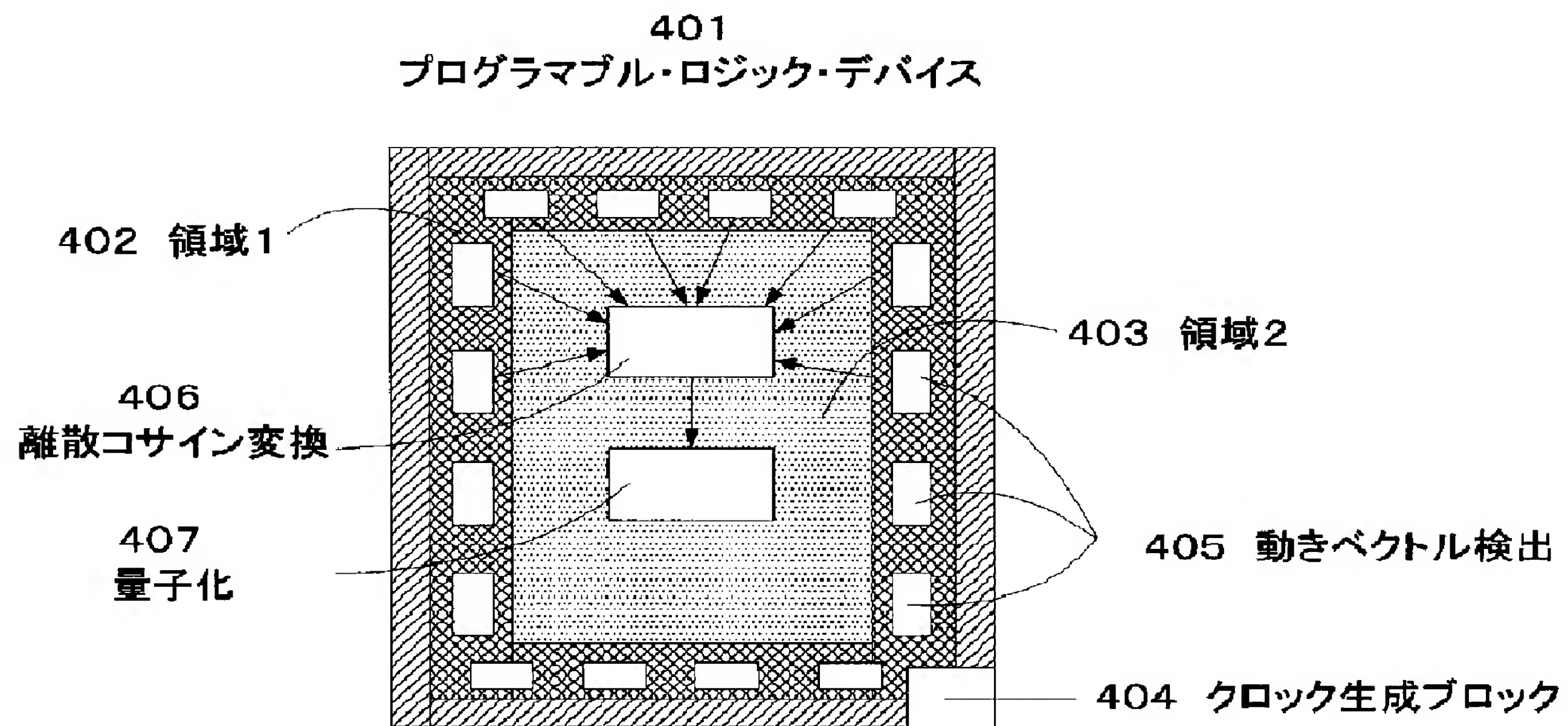
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 プログラム可能の論理エレメントからなるプログラマブル・ロジック・デバイスの消費電力と面積を削減可能にする。

【解決手段】 プログラム可能な論理エレメントからなるプログラマブル・ロジック・デバイス 1 0 1 において、第 1 の論理エレメント 1 0 2 と、第 1 の論理エレメント 1 0 2 と同論理で、かつ動作速度の設計上限が第 1 の論理エレメント 1 0 2 に比較して低速である第 2 の論理エレメント 1 0 4 とを備える。

【選択図】 図 1

出願人履歴

0 0 0 0 0 5 8 2 1

19900828

新規登録

大阪府門真市大字門真 1 0 0 6 番地

松下電器産業株式会社